

⑪ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 43 01 915 A 1**

⑤ Int. Cl.⁵:
H 01 L 23/50
H 01 L 25/085
H 01 L 23/28

②① Aktenzeichen: P 43 01 915.3
②② Anmeldetag: 25. 1. 93
④③ Offenlegungstag: 6. 5. 94

DE 4301915 A1

③① Unionspriorität: ③② ③③ ③①

04.11.92 JP P 4-295134

⑦① Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦④ Vertreter:

Tiedtke, H., Dipl.-Ing.; Bühling, G., Dipl.-Chem.;
Kinne, R., Dipl.-Ing.; Pellmann, H., Dipl.-Ing.; Grams,
K., Dipl.-Ing., Pat.-Anwälte, 80336 München

⑦② Erfinder:

Michii, Kazunari, Itami, Hyogo, JP; Nakagawa,
Koichi, Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Mehrfachchip-Halbleitervorrichtung

⑤⑦ Eine in Harz eingegossene Mehrfachchip-Halbleitervorrichtung weist einen Leiterahmen mit einer Vielzahl von Leitern auf, zu denen Überkreuzungsleiter zählen, welche sich an der Vorderseite oder der Rückseite von Halbleiterelementen über deren Seitenränder hinaus erstrecken, wobei sie infolge eines dazwischengefügten Isolierenden Materials keinen elektrischen Kontakt zu dem Halbleiterelement haben. Die Elektroden eines Elements und eines anderen Elements sind durch Bondedrähte gemeinsam elektrisch mit dem Überkreuzungsleiter verbunden. Die Vorrichtung kann zum elektrischen Verbinden der Elektroden benachbarter Elemente ein Filmbondeband mit auf einem Isolierband gebildeten Leitern enthalten. Das Filmbondeband kann einen Überkreuzungsleiter zum Überkreuzen eines anderen Leiters enthalten.

DE 4301915 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 03. 94 408 018/503

16/41

Die Erfindung bezieht sich auf eine Mehrfachchip-Halbleitervorrichtung (multi-chip-package- bzw. MCP-Halbleitervorrichtung) mit mehreren Chips bzw. Substraten in einem einzigen Gehäuse, in dem mehrere Halbleiterelemente in Gießharz eingegossen sind.

Es wird zwar angestrebt, eine Halbleitervorrichtung auf einem einzigen Chip bzw. Substrat auszubilden, um ein sehr kompaktes und schnelles elektronisches System mit einer solchen Halbleitervorrichtung herzustellen, jedoch benötigt das Entwerfen, Entwickeln und Herstellen von neuen Halbleitervorrichtungen längere Zeit. Ferner müssen zum Kombinieren einer analogen Schaltung mit einer digitalen Schaltung mancherlei Probleme bezüglich der elektrischen Eigenschaften und der Wärfelbearbeitung gelöst werden. Daher wird in zunehmendem Maße statt des Systems auf einem einzelnen Chip eine Halbleitervorrichtung in Mehrfachchip-Ausführung (MCP-Ausführung) verwendet, bei der mehrere gegenwärtig verfügbare Halbleiterchips in einem einzigen Gehäuse eingegossen sind.

Eine herkömmliche Mehrfachchip-Halbleitervorrichtung gemäß einem Beispiel enthält eine Keramikunterlage oder eine Druckschaltungsplatte, an der mehrere Halbleiterchips angebracht sind und die zusammen mit einem Leiterraum in Preßspritzguß eingegossen ist. Da jedoch bei dieser Anordnung ein Keramiksubstrat oder eine Druckschaltungsplatte verwendet wird, die teuer sind, wird die ganze Vorrichtung teuer.

In einer anderen herkömmlichen Mehrfachchip-Halbleitervorrichtung sind gemäß der Darstellung in Fig. 14 und 15 mehrere Halbleiterelemente direkt an einem Leiterraum angebracht. D.h., gemäß diesen Figuren enthält die Halbleitervorrichtung Halbleiterelemente 3, die jeweils an zwei im wesentlichen rechteckigen Preßanschlußflächen 2 angebracht sind, welche jeweils zwei Zuleitungen 1 haben. Die Anschlußflächen 2 sind nebeneinander angeordnet und um die Anschlußflächen 2 herum ist eine Anzahl von Leitern 4 derart angeordnet, daß deren innere Enden durch Bondedrähte mit Elektroden 5 der Halbleiterelemente 3 verbunden werden können. Gemäß Fig. 16 werden die Elektroden 5 an den zueinander benachbarten Seiten der Halbleiterelemente 3 miteinander elektrisch durch Bondedrähte 7 verbunden, wodurch die Anzahl der Leiter 4 verringert werden kann, die Halbleitervorrichtung verkleinert werden kann und die Gehäusesubstrate vereinfacht werden können. Die auf diese Weise vorbereitete ganze Zusammenstellung wird mit Ausnahme der Außenabschnitte der Leiter 4 in ein einziges Gießharzgehäuse 8 eingekapselt.

Bei der vorstehend beschriebenen herkömmlichen Mehrfachchip-Halbleitervorrichtung können die Leiter 4 nur um den Umfang der Anschlußflächen 2 herum beliebig angeordnet werden, so daß die elektrische Verbindung zwischen den Elektroden 5 an den Halbleiterelementen 3 und den Leitern 4 nicht frei gewählt werden kann, was es erforderlich macht, die Anzahl und die Länge der Leiter 4 zu vergrößern, wodurch die gesamten Abmessungen der Halbleitervorrichtung größer werden und die Leiterinduktivität groß wird.

Da ferner die Elektroden 5 an den beiden verschiedenen Halbleiterelementen 3 miteinander gemäß Fig. 16 durch die Bondedrähte 7 verbunden werden, was zur Folge hat, daß an der Heftbondeseite 9 des Bondedrahtes 7, an der der Bondedraht 7 fest gegen das Halbleiterelement 3 gepreßt und abgetrennt wird, das Halbleiter-

element 3 über die Elektrode 5 einer starken mechanischen Belastung ausgesetzt ist, ist die Zuverlässigkeit dieses Halbleiterelements 3 vermindert. Ferner können nur diejenigen Elektroden 5 mit den Bondedrähten 7 verbunden werden, die an den einander benachbarten Seiten der beiden Halbleiterelemente 3 angeordnet sind.

Zur Vermeidung der vorstehend beschriebenen Probleme bei den herkömmlichen Mehrfachchip-Halbleitervorrichtungen liegt daher der Erfindung die Aufgabe zugrunde, eine Mehrfachchip-Halbleitervorrichtung zu schaffen, in der die Leiter beliebig angeordnet werden können, um einen höheren Freiheitsgrad zu erhalten, wobei die Zwischenverbindungen zwischen den Halbleiterelementen und die Halbleiterelemente selbst verbesserte Zuverlässigkeit haben sollen.

Die erfindungsgemäße Mehrfachchip-Halbleitervorrichtung enthält demnach mehrere Halbleiterelemente, die jeweils eine erste und eine zweite Hauptfläche haben, wobei auf der ersten Hauptfläche eine Anzahl von Innenelektroden angeordnet ist. Die Halbleiterelemente sind an einem Leiterraum mit einer Vielzahl von Leitern einschließlich von Überkreuzungsleitern angebracht, welche sich an mindestens einem der Halbleiterelemente von einer Seite zur anderen über deren Seitenränder hinaus erstrecken, ohne mit den Hauptflächen des Halbleiterelements in elektrischem Kontakt zu stehen. Zwischen die Elektroden der Halbleiterelemente und die Leiter des Leiterraums sind zu deren elektrischer Verbindung Bondedrähte geschaltet, die zusammen mit den Halbleiterelementen und Teilabschnitten der Leiter in Gießharz eingegossen sind.

Das Halbleiterelement kann an seiner ersten oder zweiten Hauptfläche an einem elektrisch isolierenden Material angebracht sein, welches an dem Überkreuzungsleiter angebracht ist, und zumindest die Innenelektroden des einen und des anderen Halbleiterelements können elektrisch gemeinsam durch Bondedrähte mit dem Überkreuzungsleiter verbunden sein.

Alternativ kann der Leiterraum eine Anschlußfläche enthalten, an der ein anderes der mehreren Halbleiterelemente angebracht ist, wobei mindestens ein Halbleiterelement an dessen zweiter Hauptfläche an einem elektrisch isolierenden Material angebracht ist, das auf den Überkreuzungsleiter aufgebracht ist, und wobei mindestens eine der Innenelektroden des einen Halbleiterelements und mindestens eine der Innenelektroden des anderen Halbleiterelements beide elektrisch durch einen Bondedraht mit dem Überkreuzungsleiter verbunden sein können. Der Überkreuzungsleiter kann sich über die Halbleitervorrichtung hinweg erstrecken und die Innenelektroden an den Halbleiterelementen werden elektrisch mit dem Überkreuzungsleiter verbunden.

Die erfindungsgemäße Mehrfachchip-Halbleitervorrichtung kann ein Filmbondeband (TAB-Band) mit einer Vielzahl von elektrischen Filmbondeleitern aufweisen, die auf einem Isolierband ausgebildet sind und die durch Löten mit den Innenelektroden benachbarter Halbleiterelemente zu deren elektrischer Verbindung verbunden werden. Die Filmbondeleiter können auf nur einer Seite des Isolierbands ausgebildet sein oder alternativ einander gegenüberliegende Endabschnitte, die auf der gleichen Seite des Isolierbands ausgebildet sind, einen Mittelabschnitt, der auf der anderen Seite des Isolierbands ausgebildet ist, und Brückenabschnitte aufweisen, die elektrisch die Endabschnitte mit dem Mittelabschnitt verbinden.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung

näher erläutert.

Fig. 1 ist eine schematische Draufsicht auf eine erfindungsgemäße Mehrfachchip-Halbleitervorrichtung gemäß einem ersten Ausführungsbeispiel.

Fig. 2 ist eine schematische Schnittansicht entlang einer Linie A-A in Fig. 1.

Fig. 3 ist eine schematische Draufsicht auf ein zweites Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung.

Fig. 4 ist eine schematische Draufsicht auf ein drittes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung.

Fig. 5 ist eine schematische Schnittansicht entlang einer Linie B-B in Fig. 4.

Fig. 6 ist eine schematische Draufsicht auf ein viertes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung.

Fig. 7 ist eine schematische Draufsicht auf ein fünftes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung.

Fig. 8 ist eine schematische Schnittansicht entlang einer Linie C-C in Fig. 7.

Fig. 9 ist eine schematische Draufsicht auf ein sechstes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung.

Fig. 10 ist eine schematische Draufsicht auf ein siebentes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung.

Fig. 11 ist eine schematische Schnittansicht entlang einer Linie D-D in Fig. 10.

Fig. 12 ist eine schematische Draufsicht auf ein achttes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung.

Fig. 13 ist eine schematische Schnittansicht entlang einer Linie E-E in Fig. 12.

Fig. 14 ist eine schematische Draufsicht auf eine herkömmliche Mehrfachchip-Halbleitervorrichtung.

Fig. 15 ist eine schematische Schnittansicht entlang einer Linie F-F in Fig. 14.

Fig. 16 ist eine teilweise vergrößerte Darstellung der Fig. 15.

Die Fig. 1 und 2 zeigen eine erfindungsgemäße Mehrfachchip- bzw. MCP-Halbleitervorrichtung. Die Fig. 1 ist eine Draufsicht und die Fig. 2 ist eine Ansicht eines Schnittes entlang einer Linie A-A in Fig. 1. Die erfindungsgemäße Halbleitervorrichtung enthält ein erstes Halbleiterelement 11 und ein zweites Halbleiterelement 12. Das erste Halbleiterelement 11 hat gemäß Fig. 2 eine erste Hauptfläche 13 und eine zweite Hauptfläche 14 in im wesentlichen rechteckiger Form, wobei entlang eines Seitenrandes der ersten Hauptfläche 13 eine Anzahl von Innenelektroden 15 ausgebildet ist. Das zweite Halbleiterelement 12 hat gemäß Fig. 2 eine erste Hauptfläche 16 und eine zweite Hauptfläche 17 mit im wesentlichen rechteckiger Form, wobei entlang eines Seitenrandes der ersten Hauptfläche 16 eine Anzahl von Innenelektroden 18 ausgebildet ist.

Die erfindungsgemäße Halbleitervorrichtung weist ferner einen Leiterrahmen 20 mit einer Vielzahl von Leitern 19 auf, an dem die Halbleiterelemente 11 und 12 nebeneinander angebracht sind. Der Leiterrahmen 20 hat eine Preßanschlußfläche 21 zum Anbringen des ersten Halbleiterelements 11, erste Leiter 19a, die sich von der Anschlußfläche 21 weg nach außen erstrecken, zweite Leiter 19b, die von der Anschlußfläche 21 beabstandet sind, aber sich von Stellen in der Nähe des Seitenrandes der Anschlußfläche 21 weg nach außen erstrecken, dritte Leiter 19c, die einen Bereich umgeben,

in dem das zweite Halbleiterelement 12 anzubringen ist, und die sich von Stellen in der Nähe des Seitenrandes des zweiten Halbleiterelements 12 weg nach außen erstrecken, und vierte Leiter 19d, die sich von Stellen in der Nähe des Seitenrandes der Anschlußfläche 21 weg nach außen erstrecken, wobei sie unterhalb des Anbringungsbereiches für das zweite Halbleiterelement 12 verlaufen. Auf den vierten Leitern 19d ist eine geeignete Isolierschicht 22 zum elektrischen Isolieren des darauf befestigten zweiten Halbleiterelements 12 von den vierten Leitern 19d angeordnet. D.h., einige der Leiter 19, nämlich die vierten Leiter 19d erstrecken sich von einer Seite (der rechten Seite nach Fig. 1) zur anderen Seite (der linken Seite nach Fig. 1) des zweiten Halbleiterelements 12, ohne mit der ersten Hauptfläche 16 oder der zweiten Hauptfläche 17 das zweite Halbleiterelement 12 in elektrischem Kontakt zu stehen. In diesem Sinne sind die vierten Leiter 19d Überkreuzungsleiter.

Die erfindungsgemäße Halbleitervorrichtung weist ferner Bondedrähte 23 zum elektrischen Verbinden der Innenelektroden 15 und 18 auf dem ersten bzw. zweiten Halbleiterelement 11 und 12 mit den Leitern 19 des Leiterrahmens 20 auf sowie eine Gießharzummhüllung 24, in die die Halbleiterelemente 11 und 12, den inneren Leiterabschnitten entsprechende Teile der Leiter 19 und die Bondedrähte 23 eingegossen sind. Aus der Fig. 1 ist ersichtlich, daß die meisten Bondedrähte 23 erste Bondedrähte 23a sind, die sich von den Innenelektroden 15 oder 18 zu den inneren Enden der zweiten oder dritten Leiter 19b oder 19c erstrecken, jedoch sind andere Bondedrähte 23 zweite Bondedrähte 23b, die sich von den Innenelektroden 15 an dem gemäß Fig. 1 linken Seitenrandbereich des ersten Halbleiterelements zu den inneren Enden der vierten Leiter 19d erstrecken, dritte Bondedrähte 23c, die sich von den Innenelektroden 18 an dem rechten Rand des zweiten Halbleiterelements zu den inneren Enden der vierten Leiter 19d erstrecken, und vierte Bondedrähte 23d, die sich von den Innenelektroden 18 an dem linken Rand des zweiten Halbleiterelements 12 zu den vierten Leitern 19d erstrecken. Auf diese Weise sind von den Bondedrähten 23 die zweiten bis vierten Bondedrähte 23b, 23c und 23d, die mit den Innenelektroden 15 und 18 der Halbleiterelemente 11 und 12 verbunden sind, gemeinsam mit den vierten Leitern 19d verbunden, so daß diese gemeinsame Leiter sind, die die Innenelektroden 15 und 18 an am ehesten benachbarten Seitenrandbereichen der Halbleiterelemente miteinander elektrisch verbinden. Die auf diese Weise gestaltete ganze Einheit wird mit Ausnahme der äußeren Endabschnitte der Leiter 19 in die Gießharzummhüllung 24 eingegossen, wodurch die Mehrfachchip-Halbleitervorrichtung fertiggestellt wird.

In der erfindungsgemäßen Halbleitervorrichtung sind einige der Leiter Überkreuzungsleiter, die sich zum Überbrücken von mindestens einem der Halbleiterelemente von einer Seite zur anderen Seite desselben ohne elektrischen Kontakt zu den Hauptflächen des Halbleiterelements erstrecken, wodurch der Freiheitsgrad hinsichtlich der Leiteranordnung und der Anschlußstiftverbindung ganz erheblich verbessert werden kann. Da ferner einige der Innenelektroden der mehreren Halbleiterelemente über die Bondedrähte mit den gemeinsamen Leitern verbunden sind, so daß über diese die Innenelektroden auf den Halbleiterelementen miteinander verbunden sind, ist die Zuverlässigkeit der Zwischenverbindungen zwischen den Innenelektroden sowie der Halbleiterelemente selbst verbessert, wobei die Innenelektroden an den nicht zueinander benachbarten

Seitenrandbereichen der Halbleiterelemente angeschlossen werden können, wodurch der Freiheitsgrad hinsichtlich der Leiteranordnung verbessert ist.

Die Fig. 3 zeigt ein zweites Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung, bei dem ein Leiterrahmen 25 keine Anschlußfläche hat und ein erstes und zweites Halbleiterelement 26 und 27 über elektrisch isolierende Schichten 28 und 29 an gemeinsamen Überkreuzungsleitern 19e angebracht sind, die sich gemäß Fig. 3 quer über die Halbleitervorrichtung erstrecken. Diese Anordnung ergibt gleichartige vorteilhafte Ergebnisse wie diejenige bei dem ersten Ausführungsbeispiel.

Die Fig. 4 und 5 zeigen ein drittes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung, bei dem ein Leiterrahmen 30 die Anschlußfläche 21 aufweist, an der das erste Halbleiterelement 11 angebracht ist, während ein zweites Halbleiterelement 32 über eine elektrisch isolierende Schicht 31 an Leitern 19f und 19g angebracht ist, denen die erste Hauptfläche 16 zugewandt ist, an der Innenelektroden 33 ausgebildet sind, wodurch eine Halbleitervorrichtung der "Leiter auf Chip"-Ausführung gebildet ist. Die Leiter 19f sind mit ihren inneren Enden über die Isolierschicht 31 der ersten Hauptfläche 16 des zweiten Halbleiterelements 32 gegenübergesetzt, während sich die Leiter 19g quer über die erste Hauptfläche 16 des zweiten Halbleiterelements 32 hinweg erstrecken. Die Innenelektroden 33 des zweiten Halbleiterelements 32 sind jeweils über Bondedrähte 23e bzw. 23f mit den Leitern 19f und 19g verbunden. Mit diesem Ausführungsbeispiel können gleichartige vorteilhafte Ergebnisse wie bei dem ersten Ausführungsbeispiel erzielt werden.

Die Fig. 6 zeigt ein viertes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung, das einen Leiterrahmen 35 mit durchlaufenden Leitern 19h aufweist, die sich quer durch die Halbleitervorrichtung von einer Seite zur anderen erstrecken und an denen über Isolierschichten 38 und 39 ein erstes Halbleiterelement 36 und ein zweites Halbleiterelement 37 derart angebracht sind, daß deren erste Hauptflächen den durchlaufenden Leitern 19h zugewandt sind. Auch bei diesem Ausführungsbeispiel können vorteilhafte Ergebnisse erzielt werden, die denjenigen bei dem ersten Ausführungsbeispiel gleichartig sind.

Die Fig. 7 und 8 zeigen ein fünftes Ausführungsbeispiel der Erfindung, bei dem die Halbleitervorrichtung einen Leiterrahmen 40 ohne Anschlußfläche aufweist, das erste Halbleiterelement 11 an seiner zweiten Hauptfläche 14 über eine elektrisch isolierende Schicht 41 an Leitern 19j angebracht ist und das zweite Halbleiterelement 32 wie bei der in Fig. 4 dargestellten Anordnung die "Leiter auf Chip"-Vorrichtung in bezug auf die Leiter 19f und 19g bildet. Die Leiter 19f sind über die Isolierschicht 31 hinweg der ersten Hauptfläche 16 des zweiten Halbleiterelements 32 gegenübergesetzt, während sich die Leiter 19g quer über die erste Hauptfläche 16 des zweiten Halbleiterelements 32 hinweg erstrecken. Die Innenelektroden 33 des zweiten Halbleiterelements 32 sind jeweils über die Bondedrähte 23e und 23f mit den Leitern 19f und 19g verbunden. Bei diesem Ausführungsbeispiel sind auch die gleichen vorteilhaften Ergebnisse wie bei dem ersten Ausführungsbeispiel erzieltbar.

Bei einem in Fig. 9 gezeigten sechsten Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung ist in der in Fig. 7 und 8 dargestellten Anordnung ein zusätzliches Halbleiterelement vorgese-

hen, das gemäß der Darstellung in Fig. 1 an einer Anschlußfläche angebracht ist. D.h., die Halbleitervorrichtung enthält einen Leiterrahmen 45 mit der Anschlußfläche 21, an der das erste Halbleiterelement 11 angebracht ist, um eine Anschlußflächenmontage-Vorrichtung zu bilden, das zweite Halbleiterelement 32, das an seiner ersten Hauptfläche über die Isolierschicht 31 an dem Leiterrahmen 45 angebracht ist, um eine "Leiter auf Chip"-Vorrichtung zu bilden, und ein drittes Halbleiterelement 46, das an seiner zweiten Hauptfläche unter Zwischensetzen einer Isolierschicht 41 an dem Leiterrahmen 45 angebracht ist, um eine "Chip auf Leiter"-Vorrichtung zu bilden.

Die Fig. 10 und 11 zeigen ein siebentes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung, das einen Leiterrahmen 50 mit einer Vielzahl von Leitern 19 und zwei Anschlußflächen 21 sowie ein im wesentlichen rechteckiges erstes Halbleiterelement 54 und ein im wesentlichen rechteckiges zweites Halbleiterelement 55 aufweist, die jeweils an den Anschlußflächen 21 angebracht sind und gemäß Fig. 11 jeweils eine erste Hauptfläche 51 und eine zweite Hauptfläche 52 haben, wobei an der ersten Hauptfläche 51 eine Vielzahl von Innenelektroden 53 ausgebildet ist. Die Innenelektroden 53 an dem ersten und zweiten Halbleiterelement 54 und 55 sind über Bondedrähte 23 mit den Leitern 19 des Leiterrahmens 50 verbunden. Die beiden Halbleiterelemente 54 und 55 sind mit ihren Seitenrändern parallel zueinander nahe aneinander angeordnet, wobei die Innenelektroden 53 an den einander benachbarten Seitenrändern elektrisch über ein Filmbondeband (TAB-Band) 56 verbunden sind. Im einzelnen werden die einander gegenüberliegenden Enden von Filmbondeleitern 58, die auf einem elektrisch isolierenden Band 57 beispielsweise aus Polyimid ausgebildet sind, auf die Innenelektroden 53 an den einander benachbarten Seitenrändern der beiden Halbleiterelemente 54 und 55 aufgelegt und nach dem Filmbondeverfahren direkt angeschlossen, so daß das Halbleiterelement im Vergleich zu den Verbindungen nach dem Drahtbondeverfahren einer geringeren mechanischen Belastung ausgesetzt ist und keine mechanische Schädigung auftritt. Die Halbleitervorrichtung weist ferner eine Gießharzummhüllung 24 auf, die die Halbleiterelemente 54 und 55, die den inneren Leitern entsprechenden Abschnitte der Leiter 19, das Filmbondeband 56 und die die Bondedrähte 23 einschließt und einkapselt.

Die Fig. 12 und 13 zeigen ein achttes Ausführungsbeispiel der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung, das einen Aufbau hat, der demjenigen des in Fig. 10 und 11 dargestellten Ausführungsbeispiels mit der Ausnahme gleichartig ist, daß das verwendete Filmbondeband ein Filmbondeband 60 ist, welches an beiden Oberflächen des Isolierbandes metallisiert ist. Im einzelnen weist das Filmbondeband 60 ein elektrisch isolierendes Band 61, Filmbondeleiter 62, die auf nur einer Oberfläche des isolierenden Bandes 61 gebildet sind, und einen Überkreuzungs-Filmbondeleiter 66 auf, der einander gegenüberliegende Endabschnitte 63, die auf einer Oberfläche des isolierenden Bandes 61 gebildet sind, einen Mittelabschnitt 64, der auf der anderen Oberfläche des isolierenden Bandes 61 gebildet ist, und zwei hindurchtretende Verbindungsabschnitte 65 hat, die die einander entgegengesetzten Endabschnitte 63 mit dem Mittelabschnitt 64 verbinden, wodurch der Überkreuzungsleiter 66 einen der Leiter 62 überbrückt. Bei diesem Ausführungsbeispiel kann mit dem Formbondeband 60 eine überkreuzende Verbindung hergestellt

werden, so daß der Freiheitsgrad hinsichtlich der Anschlußstifteverbindungen weiter erhöht ist.

Gemäß der vorangehenden Beschreibung sind in der erfindungsgemäßen Mehrfachchip-Halbleitervorrichtung einige der Leiter Überkreuzungsleiter, die sich von einer Seite zur anderen Seite von mindestens einem der Halbleiterelemente ohne elektrischen Kontakt mit den Hauptflächen des Halbleiterelements erstrecken, um das Halbleiterelement zu überbrücken, wodurch der Freiheitsgrad hinsichtlich der Leiteranordnung und der Stifteanschlußverbindungen sehr stark verbessert werden kann. Da ferner einige der inneren Elektroden der mehreren Halbleiterelemente über die Bondedrähte mit den gemeinsamen Leitern verbunden sind, über die die Innenelektroden miteinander verbunden werden, ist die Zuverlässigkeit der Zwischenverbindungen zwischen den Innenelektroden und der Halbleiterelemente selbst verbessert, und da die Innenelektroden an einander nicht benachbarten seitenrandbereichen der Halbleiterelemente miteinander verbunden werden können, ist der Freiheitsgrad hinsichtlich der Leiteranordnung verbessert. Daher kann die Leiterinduktivität vermindert werden, was eine Verringerung von Störungen ergibt. Da die Leiter auch gemeinsam genutzt werden können, können beispielsweise dann, wenn zwei Halbleiterelemente mit 150 Anschlüssen zum Bilden einer Mehrfachchip-Halbleitervorrichtung verwendet werden, ungefähr 10% der Anschlußstifte weggelassen werden. Daher wird die Anordnung des Chips und der Leiter einfach, die Vorrichtung wird klein und die Auslegung der peripheren Schaltungen wird einfach. Da ferner zum elektrischen Verbinden der Innenelektroden an benachbarten Halbleiterelementen der Vielzahl der Elemente ein Filmbondeband bzw. TAB-Band verwendet werden kann, sind die Zuverlässigkeit der Zwischenverbindungen zwischen diesen Innenelektroden und die Zuverlässigkeit der Halbleiterelemente selbst verbessert.

Eine in Harz eingegossene Mehrfachchip-Halbleitervorrichtung weist einen Leiterrahmen mit einer Vielzahl von Leitern auf, zu denen Überkreuzungsleiter zählen, welche sich an der Vorderseite oder der Rückseite von Halbleiterelementen über deren Seitenränder hinaus erstrecken, wobei sie infolge eines dazwischengefügten isolierenden Materials keinen elektrischen Kontakt zu dem Halbleiterelement haben. Die Elektroden eines Elements und eines anderen Elements sind durch Bondedrähte gemeinsam elektrisch mit dem Überkreuzungsleiter verbunden. Die Vorrichtung kann zum elektrischen Verbinden der Elektroden benachbarter Elemente ein Filmbondeband mit auf einem Isolierband gebildeten Leitern enthalten. Das Filmbondeband kann einen Überkreuzungsleiter zum Überkreuzen eines anderen Leiters enthalten.

Patentansprüche

1. Mehrfachchip-Halbleitervorrichtung mit mehreren Halbleiterelementen, die jeweils eine erste und eine zweite Hauptfläche und eine Anzahl von auf der ersten Hauptfläche angeordneten Innenelektroden haben, gekennzeichnet durch einen Leiterrahmen (20; 25; 30; 35; 40; 45), an dem die Halbleiterelemente (11, 12; 26, 27; 11, 32; 36, 37; 11, 32, 46) angebracht sind, mit einer Vielzahl von Leitern (19), zu denen Überkreuzungsleiter (19d; 19e; 19g; 19h; 19g, 19j) zählen, die sich von einer Seite zur anderen Seite von mindestens einem der Halbleiterelemente ohne elektrischen Kontakt mit den Haupt-

flächen des Halbleiterelements über dessen Seitenränder hinaus erstrecken, wobei die Innenelektroden (15, 18, 33) an den Halbleiterelementen elektrisch durch Bondedrähte (23) mit den Leitern des Leiterrahmens verbunden sind und die Halbleiterelemente, Teile der Leiter und die Bondedrähte in Gießharz (24) eingegossen sind.

2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß das mindestens eine Halbleiterelement (12; 11) an seiner zweiten Hauptfläche (17; 14) an einem elektrisch isolierenden Material (22; 41) angebracht ist, welches an den Überkreuzungsleitern (19d; 19j) angebracht ist.

3. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß das mindestens eine Halbleiterelement (32) an seiner ersten Hauptfläche an einem elektrisch isolierenden Material (31) angebracht ist, welches an den Überkreuzungsleitern (19g) angebracht ist.

4. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß mindestens eine der Innenelektroden (18; 33) des mindestens einen Halbleiterelements (12; 32) und mindestens eine der Innenelektrode (15) eines anderen Halbleiterelements (11) durch Bondedrähte (23c, 23b; 23f, 23b) beide elektrisch mit einem der Überkreuzungsleiter (19d; 19g) verbunden sind.

5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der Leiterrahmen (20; 30; 45) eine Preßanschlußfläche (21) aufweist, an der ein anderes der mehreren Halbleiterelemente angebracht ist.

6. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der Leiterrahmen (20) eine Preßanschlußfläche (21) aufweist, an der ein anderes (11) der mehreren Halbleiterelemente angebracht ist, daß das mindestens eine Halbleiterelement (12) an seiner zweiten Hauptfläche (17) an einem elektrisch isolierenden Material (22) angebracht ist, welches an den Überkreuzungsleitern (19d) angebracht ist, und daß mindestens eine der Innenelektroden (18) des mindestens einen Halbleiterelements und mindestens eine der Innenelektroden (15) des anderen Halbleiterelements durch Bondedrähte (23c, 23b) beide elektrisch mit mindestens einem der Überkreuzungsleiter verbunden sind.

7. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die mehreren Halbleiterelemente (26, 27) alle an ihren zweiten Hauptflächen an den Überkreuzungsleitern (19e) angebracht sind, die allen Halbleiterelementen gemeinsam sind.

8. Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß sich die Überkreuzungsleiter (19e) über die ganze Halbleitervorrichtung hinweg erstrecken und daß Innenelektroden an den Halbleiterelementen (26, 27) elektrisch mit den Überkreuzungsleitern verbunden sind.

9. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der Leiterrahmen (30) eine Preßanschlußfläche (21) aufweist, an dem ein anderes (11) der mehreren Halbleiterelemente angebracht ist, daß das mindestens eine Halbleiterelement (32) an seiner ersten Hauptfläche an einem elektrisch isolierenden Material (31) angebracht ist, welches an den Überkreuzungsleitern (19g) angebracht ist, und daß mindestens eine der Innenelektroden (33) des mindestens einen Halbleiterele-

ments und mindestens eine (15) der Innenelektroden des anderen Halbleiterelements (11) durch Bondedrähte (23f, 23b) beide mit mindestens einem der Überkreuzungsleiter verbunden sind.

10. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die mehreren Halbleiterelemente (36, 37) alle an ihren ersten Hauptflächen an den Überkreuzungsleitern (19h) angebracht sind, die allen Halbleiterelementen gemeinsam sind.

11. Halbleitervorrichtung nach Anspruch 10, dadurch gekennzeichnet, daß sich die Überkreuzungsleiter (19h) durch die ganze Halbleitervorrichtung hindurch erstrecken und daß Innenelektroden (15, 18) an den Halbleiterelementen elektrisch mit den Überkreuzungsleitern verbunden sind.

12. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß das mindestens eine Halbleiterelement (32) an seiner ersten Hauptfläche an einem elektrisch isolierenden Material (31) angebracht ist, welches an ersten Überkreuzungsleitern (19g) angebracht ist, daß ein anderes Halbleiterelement (11) an seiner zweiten Hauptfläche an einem elektrisch isolierenden Material (41) angebracht ist, welches an zweiten Überkreuzungsleitern (19j) angebracht ist, und daß mindestens eine der Innenelektroden (33) des mindestens einen Halbleiterelements und mindestens eine der Innenelektroden (15) des anderen Halbleiterelements gemeinsam durch Bondedrähte (23f, 23b) elektrisch mit einem der ersten Überkreuzungsleiter verbunden sind.

13. Mehrfachchip-Halbleitervorrichtung mit mehreren Halbleiterelementen, die jeweils eine Anzahl von daran angeordneten Innenelektroden haben, mit einem Leiterrahmen, an dem die Halbleiterelemente angebracht sind und der eine Vielzahl von Leitern hat, und mit Bondedrähten, die die Innenelektroden an den Halbleiterelementen mit den Leitern des Leiterrahmens verbinden, gekennzeichnet durch ein Filmbondeband (56; 60) mit einer Vielzahl von auf einem elektrisch isolierenden Band (57; 61) ausgebildeten, elektrisch leitenden Filmbondeleitern (58; 62), die jeweils durch Lötens mit den Innenelektroden (53) benachbarter Halbleiterelemente (54, 55) zum elektrischen Verbinden derselben verbunden sind, wobei die Halbleiterelemente, Teile der Leitungen, die Bondedrähte und das Filmbondeband in ein Gießharz eingegossen sind.

14. Halbleitervorrichtung nach Anspruch 13, dadurch gekennzeichnet, daß die Filmbondeleiter (58) auf nur einer Seite des isolierenden Bandes (57) gebildet sind.

15. Halbleitervorrichtung nach Anspruch 13 oder 14, dadurch gekennzeichnet, daß mindestens einer der Filmbondeleiter (62) einander gegenüberliegende Endabschnitte (63), die auf der gleichen Seite des Isolierbandes (61) gebildet sind, einem Mittelabschnitt (64), der auf der anderen Seite des Isolierbandes gebildet ist, und Überbrückungsabschnitte (65) enthält, die elektrisch die Endabschnitte mit dem Mittelabschnitt verbinden.

FIG. 1

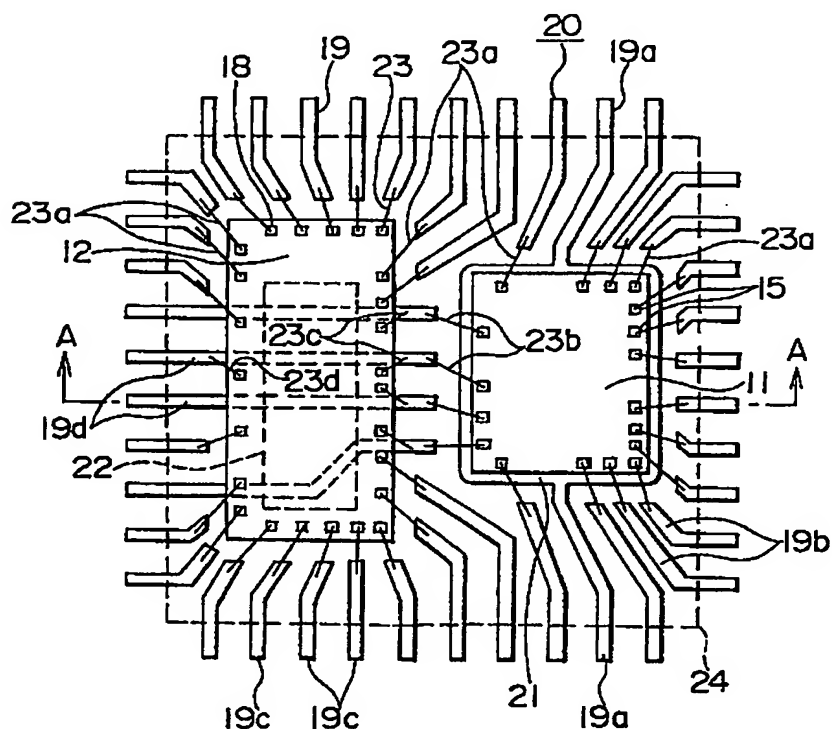


FIG. 2

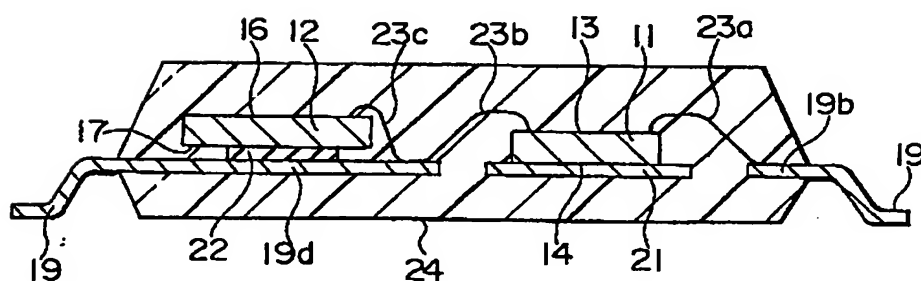


FIG. 3

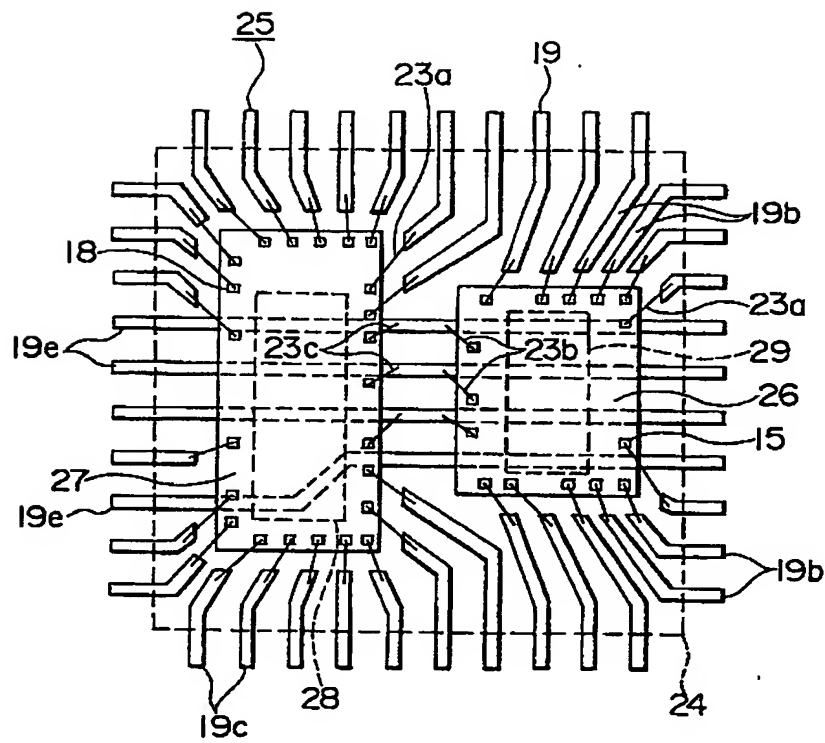


FIG. 4

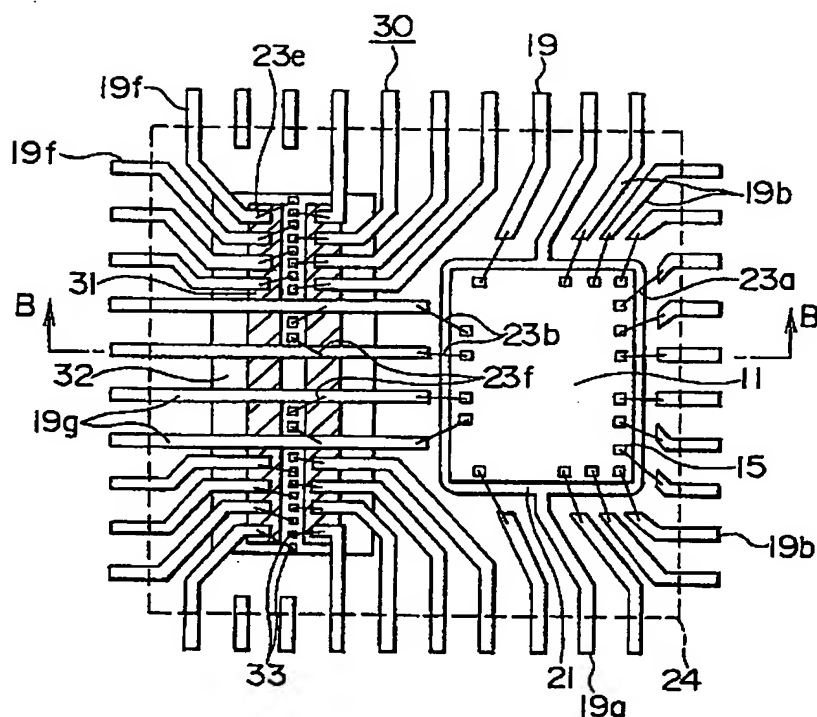


FIG. 5

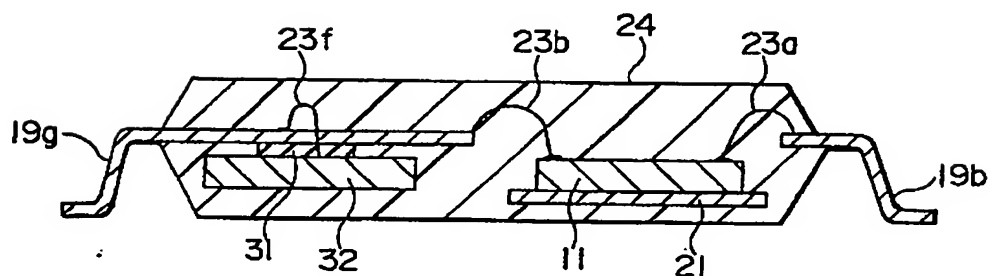


FIG. 6

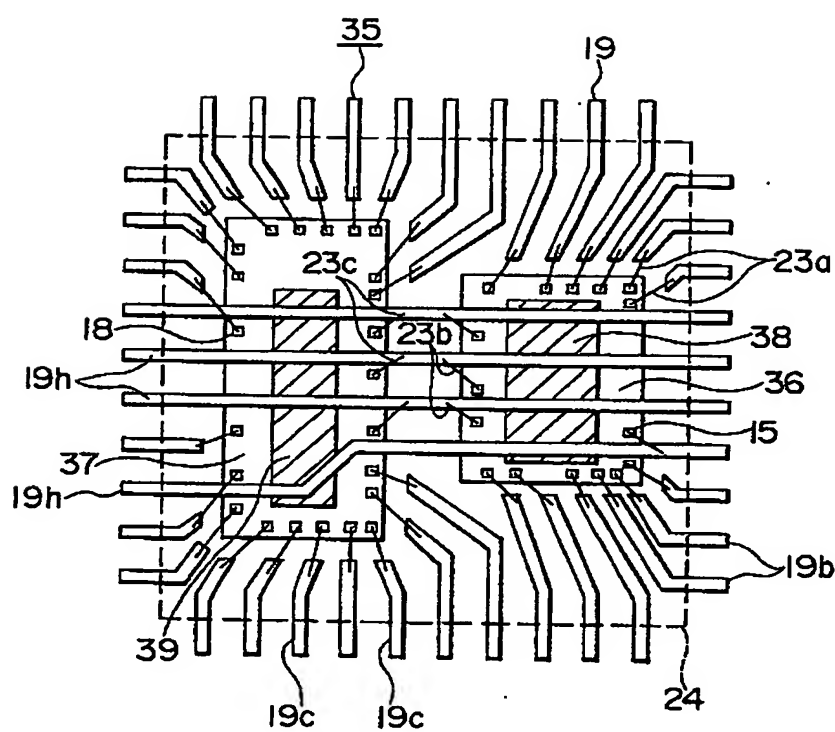


FIG. 7

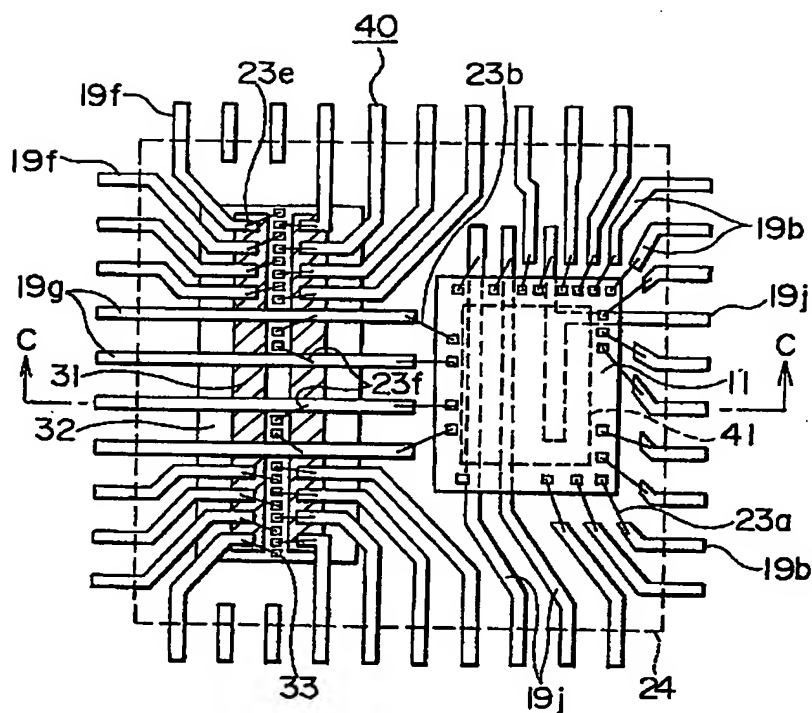


FIG. 8

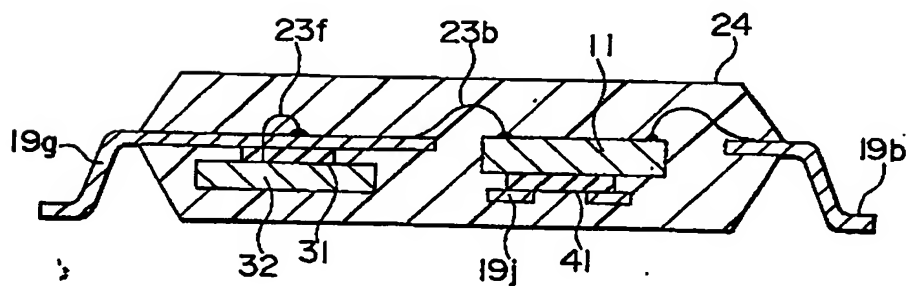


FIG. 9

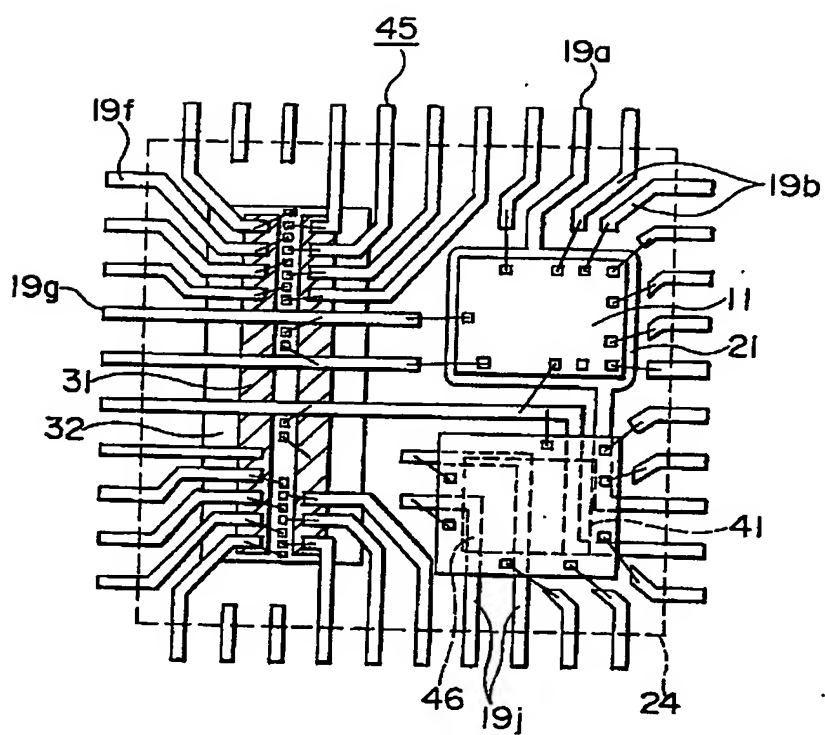


FIG. 10

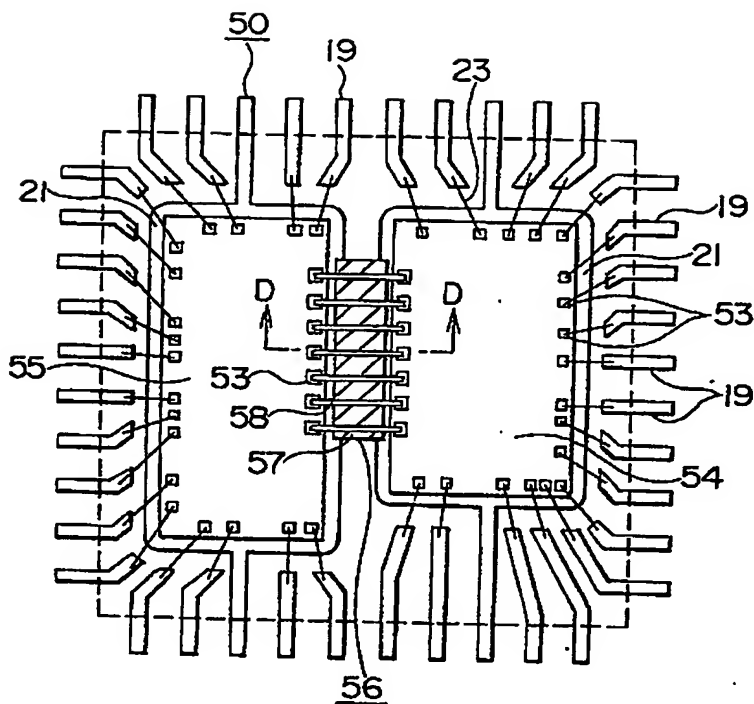


FIG. 11

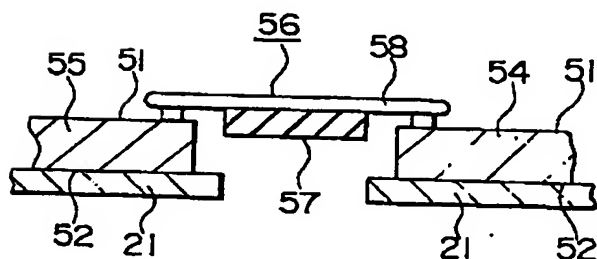


FIG. 12

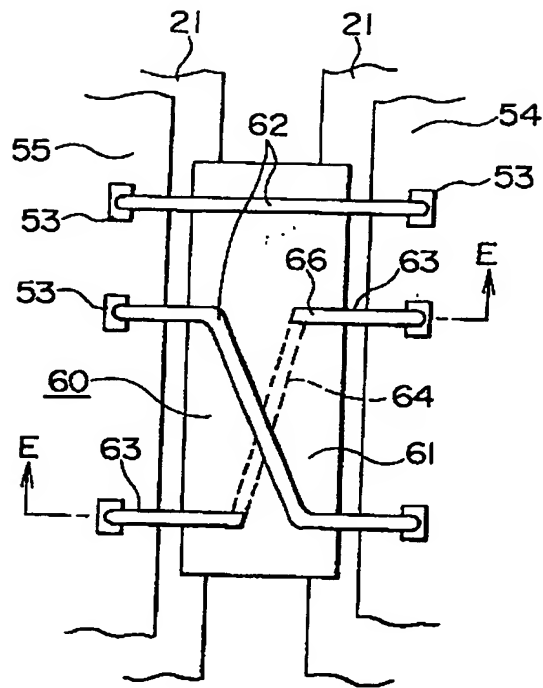


FIG. 13

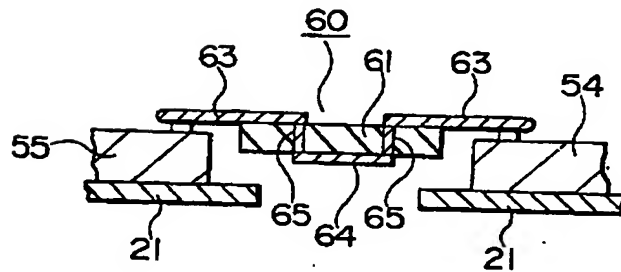


FIG. 14

STAND DER TECHNIK

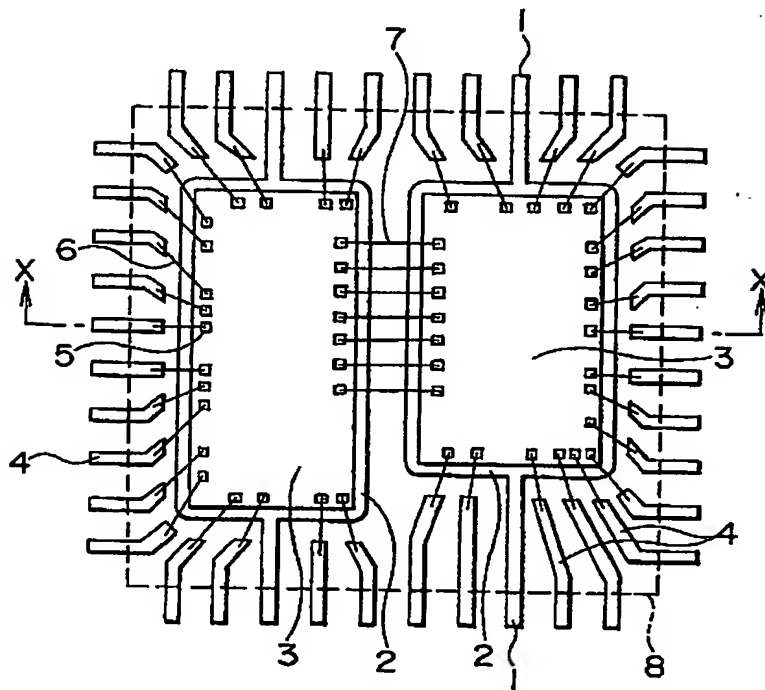


FIG. 16

STAND DER TECHNIK

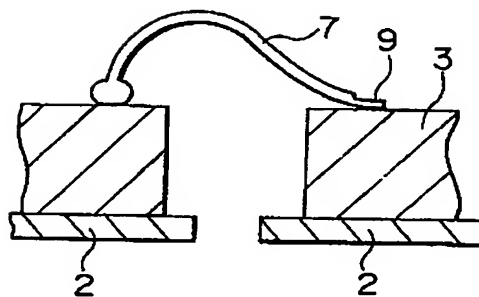
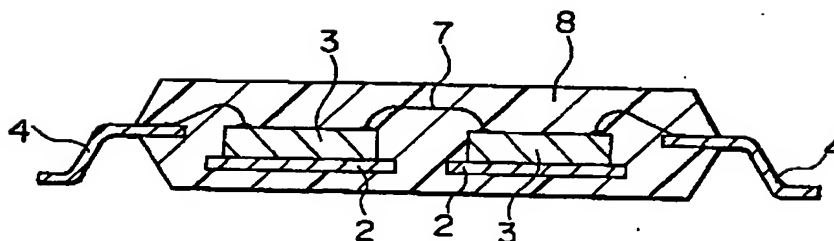


FIG. 15

STAND DER TECHNIK



Docket # WMP-SME-352

Applic. # 10/022,605

Applicant: Ferstl et al.

408 018/503

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101